



PIC18 : Les Timers

Pour les PIC18Fxx2 et/ou PIC18Fxx20

TIMER 0

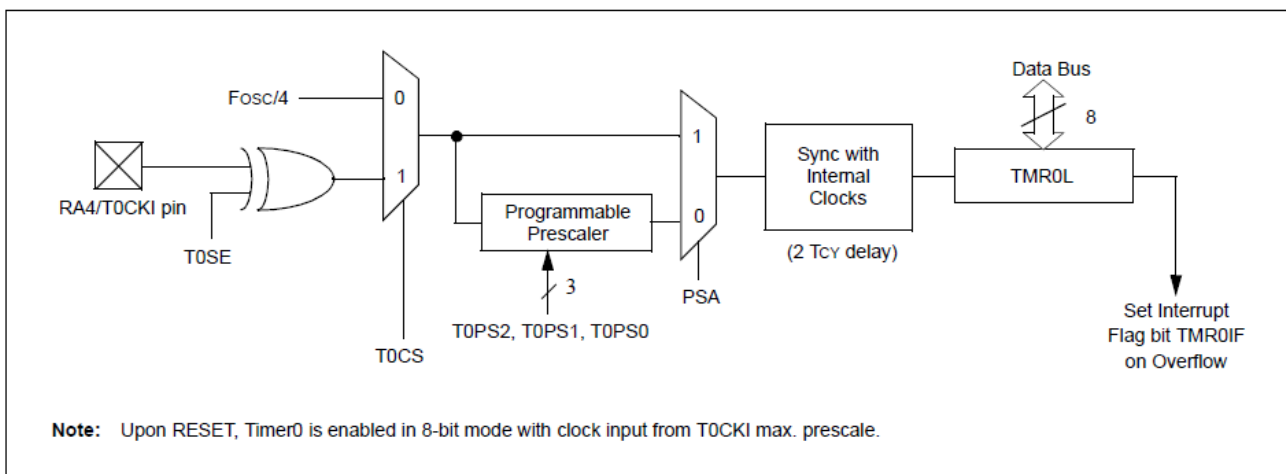
Le timer 0 est implémenté identiquement sur les 2 familles 18Fxx2 et 18Fxx20.

Il présente les caractéristiques suivantes :

- x Timer 8 ou 16 bits. Le mode de fonctionnement (8 ou 16 bits) est sélectionnable à l'aide du bit **T08BIT** du registre **T0CON** (**Mode 8 bits : T08BIT = 1, Mode 16 bits : T08BIT = 0**).
- x Registres de comptage **TMR0L** et **TMR0H** en accessibles en lecture/écriture.
- x Prédiviseur 8 bits programmable à l'aide des bits **T0PS[2..0]** et **PSA** du registre **T0CON**.
- x L'horloge peut être interne (timer) ou externe (compteur). Dans ce dernier cas, le front de comptage est configurable. Ces configurations sont à faire dans le registre **T0CON** :
 - ✓ T0CS = 0 : Timer (horloge interne)
 - ✓ T0CS = 1 : Compteur (horloge externe sur RA4/T0CKI)

T0SE = 1 : Incréméntation sur front descendant
 T0SE = 0 : Incréméntation sur front montant
- x Une interruptions de type **overflow** (**T0IF**) peut être déclenchée. Elle est déclenchée par le passage de **0xFF à 0x00 en mode 8 bits** ou par le passage de **0xFFFF à 0x0000 en mode 16 bits**.

Schéma bloc du Timer 0 en mode 8 bits





Registres associés au timer 0

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
TMR0L	Timer0 Register, Low Byte								50
TMR0H	Timer0 Register, High Byte								50
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	49
T0CON	TMR0ON	T08BIT	T0CS	T0SE	PSA	T0PS2	T0PS1	T0PS0	50
TRISA	RA7 ⁽¹⁾	RA6 ⁽¹⁾	RA5	RA4	RA3	RA2	RA1	RA0	52

Legend: Shaded cells are not used by Timer0.

Note 1: PORTA<7:6> and their direction bits are individually configured as port pins based on various primary oscillator modes. When disabled, these bits read as '0'.

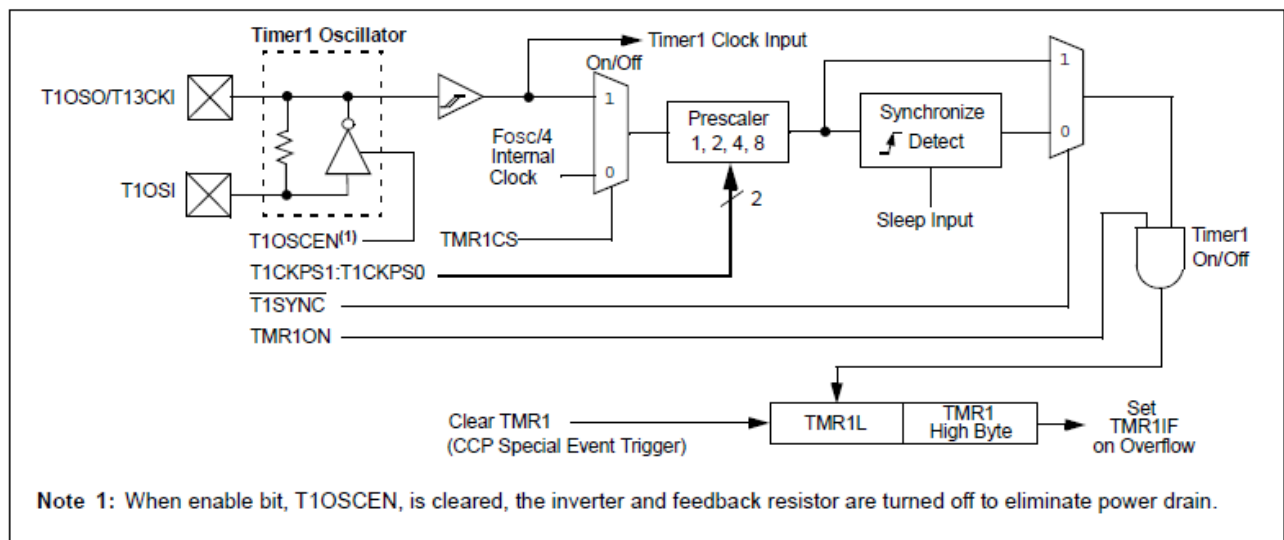
Timer 1

Implémentations identiques sur les PIC18Fxx2 et 18Fxx20.

Caractéristiques du timer TMR1 :

- x Timer **16 bits**. Le registre de comptage est accessible par les deux registres 8 bits **TMR1H** et **TMR1L**.
- x Registres de comptage accessibles en **lecture/écriture** (R/W).
- x Horloge **interne (mode timer) ou externe (mode compteur)**.
- x Interruption de type **Overflow (TMR1IF)** au passage de 0xFFFF à 0x0000.
- x Remise à 0 possible à partir d'un module CCP.

Schéma bloc du Timer 1





Le registre T1CON

	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
	RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	
	bit 7								bit 0
bit 7	RD16: 16-bit Read/Write Mode Enable bit 1 = Enables register read/write of Timer1 in one 16-bit operation 0 = Enables register read/write of Timer1 in two 8-bit operations								
bit 6	T1RUN: Timer1 System Clock Status bit 1 = Device clock is derived from Timer1 oscillator 0 = Device clock is derived from another source								
bit 5-4	T1CKPS1:T1CKPS0: Timer1 Input Clock Prescale Select bits 11 = 1:8 Prescale value 10 = 1:4 Prescale value 01 = 1:2 Prescale value 00 = 1:1 Prescale value								
bit 3	T1OSCEN: Timer1 Oscillator Enable bit 1 = Timer1 oscillator is enabled 0 = Timer1 oscillator is shut off The oscillator inverter and feedback resistor are turned off to eliminate power drain.								
bit 2	T1SYNC: Timer1 External Clock Input Synchronization Select bit When TMR1CS = 1: 1 = Do not synchronize external clock input 0 = Synchronize external clock input When TMR1CS = 0: This bit is ignored. Timer1 uses the internal clock when TMR1CS = 0.								
bit 1	TMR1CS: Timer1 Clock Source Select bit 1 = External clock from pin RC0/T1OSO/T13CKI (on the rising edge) 0 = Internal clock (Fosc/4)								
bit 0	TMR1ON: Timer1 On bit 1 = Enables Timer1 0 = Stops Timer1								

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	49
PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	52
PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	52
IPR1	PSPIP ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	52
TMR1L	Timer1 Register, Low Byte								50
TMR1H	Timer1 Register, High Byte								50
T1CON	RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	50

Legend: Shaded cells are not used by the Timer1 module.

Note 1: These bits are unimplemented on 28-pin devices; always maintain these bits clear.



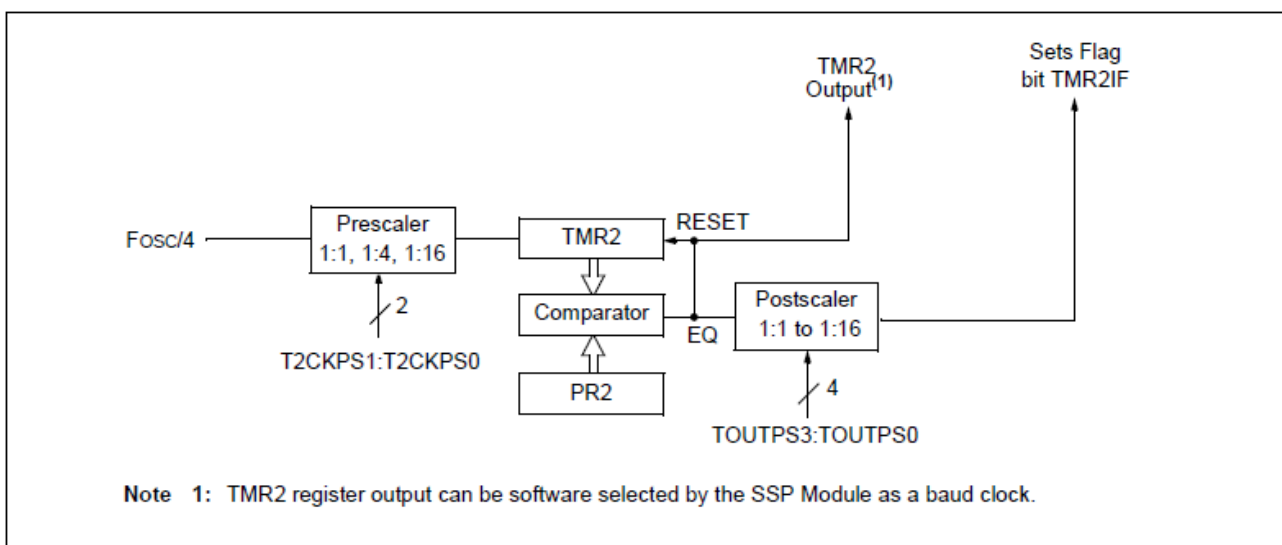
Le timer 2

Là encore, ce timer est implémenté à l'identique sur les PIC 18Fxx2 et 18Fxx20.

Ses principales caractéristiques sont les suivantes :

- x Timer **8 bits** : registre **TMR2**.
- x Associé à un « **Period register** » **8 bits** : **PR2**.
- x Registres TMR2 et PR2 accessibles en lecture / Ecriture.
- x Prédiviseur programmable : divisions par 1, 4 ou 16.
- x Postdiviseur programmable : facteur de division compris entre 1 et 16.
- x Interruption (**TMR2IF**) déclenchée lorsque **TMR2 = PR2**.

Schéma bloc du Timer 2



Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	49
PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	52
PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	52
IPR1	PSPIP ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	52
TMR2	Timer2 Register								50
T2CON	—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0	50
PR2	Timer2 Period Register								50

Legend: — = unimplemented, read as '0'. Shaded cells are not used by the Timer2 module.

Note 1: These bits are unimplemented on 28-pin devices; always maintain these bits clear.



Le registre T2CON

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0
bit 7							bit 0

- bit 7 **Unimplemented:** Read as '0'
- bit 6-3 **T2OUTPS3:T2OUTPS0:** Timer2 Output Postscale Select bits
 0000 = 1:1 Postscale
 0001 = 1:2 Postscale
 •
 •
 •
 1111 = 1:16 Postscale
- bit 2 **TMR2ON:** Timer2 On bit
 1 = Timer2 is on
 0 = Timer2 is off
- bit 1-0 **T2CKPS1:T2CKPS0:** Timer2 Clock Prescale Select bits
 00 = Prescaler is 1
 01 = Prescaler is 4
 1x = Prescaler is 16

Timer 3

Le timer 3 est quasiment identique au timer1 : **T3CON** : Voir **T1CON**.
 Ils partagent un éventuel oscillateur externe.

